

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-228784

(43)Date of publication of application : 25.08.1998

(51)Int.Cl.

G11C 16/02

(21)Application number : 09-027670

(71)Applicant : MITSUBISHI ELECTRIC CORP

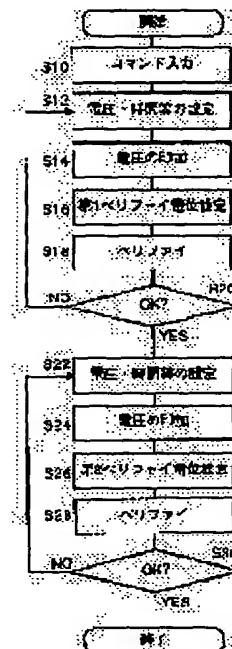
(22)Date of filing : 12.02.1997

(72)Inventor : HAYASAKA TAKASHI

(54) NON-VOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a non-volatile semiconductor memory which can control more efficiently threshold value distribution of a memory cell.
SOLUTION: In a verifying operation of a flash memory, plural different verifying levels are generated, and pulse voltage for writing or erasing operation are generated plural times until voltage exceeds a verifying level. Threshold value distribution is varied at high speed using high verifying voltage, and threshold values distribution is narrowed using low verifying voltage. For example, pulse voltage applied to a memory cell is made to have a constant voltage value, and a pulse width is generated by increasing it with a power. Also, pulse width is made constant, and a voltage value is generated by increasing it with a power. Or, the same verifying function is achieved by making the sensitivity of a sense amplifier variable.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

3

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-228784

(43) 公開日 平成10年(1998) 8月25日

(51) Int.Cl.⁸
G 1 1 C 16/02

識別記号

F I
G 1 1 C 17/006 1 1 A
6 0 1 Q

審査請求 未請求 請求項の数7 O L (全 9 頁)

(21) 出願番号 特願平9-27670

(22) 出願日 平成9年(1997) 2月12日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 早坂 隆

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

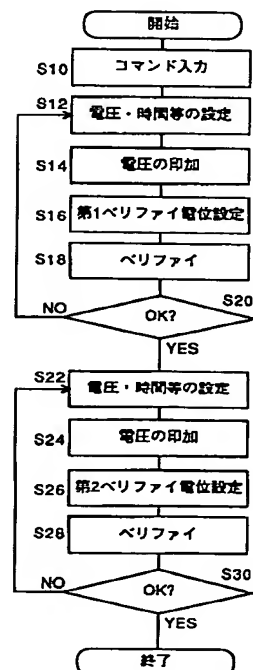
(74) 代理人 弁理士 青山 稔 (外2名)

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 メモリセルのしきい値分布をより効率的に制御できる不揮発性半導体記憶装置を提供する。

【解決手段】 フラッシュメモリにおいて、ペリファイ動作において、複数の異なるペリファイレベルを発生させ、ペリファイレベルを越えるまで書き込みまたは消去の動作のためのパルス電圧を複数回発生させる。高いペリファイ電圧を用いて、しきい値分布を高速に変化し、低いペリファイ電圧を用いて、しきい値分布を狭くする。たとえば、メモリセルに印加するパルス電圧を、電圧値を一定とし、パルス幅をべき乗で増加させて発生させる。または、パルス幅を一定とし、電圧値をべき乗で増加させて発生させる。あるいは、センスアンプの感度を変更可能にして同様のペリファイ機能を果たす。



1

【特許請求の範囲】

【請求項1】 外部から入力されるアドレス信号をデコードして行の選択を行なう第1のデコーダと、外部から入力されるアドレス信号をデコードして列の選択を行なう第2のデコーダと、行及び列の方向に配列され上記の第1と第2のデコーダの出力に基づいて外部からの情報を電気的に書き込みまたは消去される複数のメモリセルからなるメモリアレイと、メモリセルに記憶した情報が所定の状態であるかを判定するセンスアンプと、電源電圧と異なる電圧を発生する高電圧発生回路と、第1と第2のデコーダと高電圧発生回路の動作を制御する制御回路とを備え、この制御回路は、ペリファイ動作において、高電圧発生回路に、複数の異なるペリファイ電位を発生させ、ペリファイ電位を越えるまでメモリセルの書き込みまたは消去の動作のためのパルス電圧を複数回発生させることを特徴とする不揮発性半導体記憶装置。

【請求項2】 請求項1に記載された不揮発性半導体記憶装置において、

上記の制御回路は、上記の高電圧発生回路に、第1のペリファイ電位を、第2のペリファイ電位より高く発生させることを特徴とする不揮発性半導体記憶装置。

【請求項3】 請求項1に記載された不揮発性半導体記憶装置において、

上記の制御回路は、上記の高電圧発生回路に、同じペリファイ電位でのメモリセルのしきい値の変動分を変える複数回のパルス電圧を発生させることを特徴とする不揮発性半導体記憶装置。

【請求項4】 請求項3に記載された不揮発性半導体記憶装置において、

上記の制御回路は、上記の高電圧発生回路に、ペリファイ動作においてメモリセルに印加するパルス電圧を、パルス幅を一定とし、電圧値を増加させて発生させ、第1のペリファイ電位での電圧値の増加分を、第2のペリファイ電位での増加分より大きくすることを特徴とする不揮発性半導体記憶装置。

【請求項5】 請求項3に記載された不揮発性半導体記憶装置において、

上記の制御回路は、上記の高電圧発生回路に、ペリファイ動作においてメモリセルに印加するパルス電圧を、電圧値を一定とし、パルス幅を増加させて発生させ、第1のペリファイ電位でのパルス幅の増加分を、第2のペリファイ電位での増加分より大きくすることを特徴とする不揮発性半導体記憶装置。

【請求項6】 外部から入力されるアドレス信号をデコードして行の選択を行なう第1のデコーダと、外部から入力されるアドレス信号をデコードして列の選択を行なう第2のデコーダと、行及び列の方向に配列され上記の第1と第2のデコーダの出力に基づいて外部からの情報を電気的に書き込みまたは消去される複数のメモリセルからなるメモリアレイと、これらのメモリセルに記憶し

(2)

特開平10-228784

2

た情報が所定の状態であるかを判定するセンスアンプと、電源電圧と異なる電圧を発生する高電圧発生回路と、第1と第2のデコーダと高電圧発生回路の動作を制御する制御回路とを備え、上記のセンスアンプは、センスアンプの感度を変更可能であることを特徴とする不揮発性半導体記憶装置。

【請求項7】 請求項6に記載された不揮発性半導体記憶装置において、

上記のセンスアンプは、感度の異なるトランジスタが並列に接続されてなることを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、電気的に書き込みや消去をおこなうフラッシュメモリなどの不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】 電気的に書き込みや消去をおこなうフラッシュメモリなどの不揮発性半導体記憶装置は、高電圧をメモリセルに印加することで、フローティングゲートに電子を注入したり、注入された電子を引き抜いたりして、そのメモリセルのしきい値 V_{th} を変化させ、情報“1”、“0”を記憶する。たとえば、DINOR型フラッシュメモリにおいて、“0”状態は、フローティングゲートから電子を抜いた状態、すなわち、しきい値が低い状態であり、NOR型フラッシュメモリにおいて、“0”状態は、フローティングゲートから電子を注入した状態、すなわち、しきい値が高い状態となっている。また、“1”状態は、これとは逆の状態となる。このように、書き込みや消去の方法により、各状態が異なっている。しきい値は、規格に定められた値をとらねばならない。ペリファイ動作とは、内部で発生された基準電圧（ペリファイ電位）を用いて、その電圧で読み出したときに希望する期待値のデータになっているかを検証する動作をいう。ある値までメモリセルのしきい値を変化させるには、高電圧の印加と、その高電圧により発生された基準電圧を用いたペリファイ動作を、期待するデータになるまで繰り返す。

【0003】

【発明が解決しようとする課題】 不揮発性半導体記憶装置において、書き込みと消去の時のしきい値の分布は、高電圧の印加の方法で決まり、通常0.5～1.0Vぐらいの幅になる。今後、電源電圧が1.8Vなどに低下していくと、しきい値分布の下限側が、0.5～1.0Vぐらいまで下がってしまい、読み出しのアクセス時間が遅くなることや、その下がり過ぎたビットにより同一ビット線にあるメモリセルが実際よりしきい値が低く見えてしまい、それ以上下がらなくなってしまうことといった不具合が生じやすくなる。このため、しきい値分布を狭くする必要や、分布の下限を上げる必要がある。ま

3

た、1つのメモリセルに“1”と“0”の2値だけでなく多くの情報を持たせる多値化の要求があるが、この場合も、複数のしきい値分布を設けるので、しきい値分布の狭帯化が必要になってくる。しきい値分布の狭帯化のためには、1回の高電圧印加でしきい値が変化する量を小さくするような電圧または時間を設定すればよいと考えられる。しかし、この方法は、その分よけいに印加パルス数が増えてしまうため、動作時間が大幅に増加するという問題点がある。また、書き込みと消去を繰り返していると、メモリセルのしきい値が分布からはずれて0.5V以下まで下がり過ぎてしまうセルが偶発的に発生する。この現象により、低電源電圧動作化していくときと同じような不具合がひきおこされる。

【0004】本発明の目的は、メモリセルのしきい値分布をより効率的に制御できる不揮発性半導体記憶装置を提供することである。

【0005】

【課題を解決するための手段】この発明に係る不揮発性半導体記憶装置は、外部から入力されるアドレス信号をデコードして行の選択を行なう第1のデコーダと、外部から入力されるアドレス信号をデコードして列の選択を行なう第2のデコーダと、行及び列の方向に配列され上記の第1と第2のデコーダの出力に基づいて外部からの情報を電気的に書き込みまたは消去される複数のメモリセルからなるメモリアレイと、メモリセルに記憶した情報が所定の状態であるかを判定するセンスアンプと、電源電圧と異なる電圧を発生する高電圧発生回路と、第1と第2のデコーダと高電圧発生回路の動作を制御する制御回路とを備える。この制御回路は、ベリファイ動作において、高電圧発生回路に、複数の異なるベリファイ電位を発生させ、ベリファイ電位を越えるまでメモリセルの書き込みまたは消去の動作のためのパルス電圧を複数回発生させる。また、この発明に係る不揮発性半導体記憶装置において、上記の制御回路は、上記の高電圧発生回路に、第1のベリファイ電位を、第2のベリファイ電位より高く発生させる。また、この発明に係る不揮発性半導体記憶装置において、上記の制御回路は、上記の高電圧発生回路に、同じベリファイ電位でのメモリセルのしきい値の変動分を変える複数回のパルス電圧を発生させる。また、この発明に係る不揮発性半導体記憶装置において、上記の制御回路は、上記の高電圧発生回路に、ベリファイ動作においてメモリセルに印加するパルス電圧を、パルス幅を一定とし、電圧値を増加させて発生させ、第1のベリファイ電位での電圧値の増加分を、第2のベリファイ電位での増加分より大きくする。また、この発明に係る不揮発性半導体記憶装置において、上記の制御回路は、上記の高電圧発生回路に、ベリファイ動作においてメモリセルに印加するパルス電圧を、電圧値を一定とし、パルス幅を増加させて発生させ、第1のベリファイ電位でのパルス幅の増加分を、第2のベリファイ

(3)

特開平10-228784

4

電位での増加分より大きくする。また、この発明に係る不揮発性半導体記憶装置は、外部から入力されるアドレス信号をデコードして行の選択を行なう第1のデコーダと、外部から入力されるアドレス信号をデコードして列の選択を行なう第2のデコーダと、行及び列の方向に配列され上記の第1と第2のデコーダの出力に基づいて外部からの情報を電気的に書き込みまたは消去される複数のメモリセルからなるメモリアレイと、これらのメモリセルに記憶した情報が所定の状態であるかを判定するセンスアンプと、電源電圧と異なる電圧を発生する高電圧発生回路と、第1と第2のデコーダと高電圧発生回路の動作を制御する制御回路とを備え、上記のセンスアンプは、センスアンプの感度を変更可能である。また、この発明に係る不揮発性半導体記憶装置において、上記のセンスアンプは、感度の異なるトランジスタが並列に接続されてなる。

【0006】

【発明の実施の形態】以下、添付の図面を参照して本発明の実施形態について説明する。

実施の形態1

図1は、本発明に係る半導体記憶装置の1実施の形態であるフラッシュメモリの全体の構成を示す。複数のメモリセルのマトリクスからなるメモリアレイ2の周辺に、マトリクスの行と列を選択するためのXデコーダ4とYデコーダ6とが設けられる。また、データ入力用の書込回路8とデータ出力用のセンスアンプ10がメモリアレイ2にYデコーダ6を介して接続される。制御回路12は、外部から各種制御信号を受けて、メモリ内部を制御するための各種の制御信号を発生する。たとえば、制御回路12は、カウンタを備え、Xデコーダ4とYデコーダ6にアドレス信号を供給する。高電圧発生回路14は、内部降圧回路であり、制御回路12から受け取った制御信号に基づき、内蔵するレジスタにデータを格納し、レジスタに与えられたデータに基づき、外部から供給された電源電圧 V_{cc} とは異なる種々の電圧を発生する。この高電圧発生回路14は、ベリファイ動作のベリファイ電位をも発生する。ここで、制御回路12からレジスタに与えられたデータによりベリファイ電位の電圧値または時間を変化させる。発生されたベリファイ電位はXデコーダ4とYデコーダ6に出力される。センスアンプ10は、ベリファイ動作のため、メモリセルから読み出した信号を制御回路12にも出力する。

【0007】図2と図3は、DINOR型フラッシュメモリのメモリセルにおける書き込み／消去の動作における電子の動きを図式的に示す。図2と図3は、図1に示すメモリアレイ2を構成する1つのメモリセルの図式的な断面を示す。各メモリセルは、半導体基板40の上に形成されたソース拡散領域42とドレイン拡散領域44、フローティングゲート46、コントロールゲート48を備える。メモリセルの周囲の回路との接続は従来と

(4)

特開平10-228784

5

6

同様である。コントロールゲート48はワード線に接続され、ワード線は、Xデコーダ4に接続される。ドレーン領域44はビット線に接続され、ビット線は、Yデコーダ6の出力がそのゲートに入力されるYゲートトランジスタを介してI/O線に接続され、I/O線にはセンスアンプ10と書込回路8が接続される。ソース線はソース線スイッチに接続される。図2に示すように、書き込み時には、フローティングゲート46からドレーン拡散領域44に電子(e⁻)が移動され、図3に示すように、消去時には、基板40からフローティングゲート46に電子が移動される。

【0008】図4は、DINOR型フラッシュメモリにおける制御回路12による書き込み/消去動作のプログラムの基本的なフローを示す。ここで、複数の異なるペリファイ電位を用いて、書き込みまたは消去の動作を複数回おこなう。第1の動作では、高電圧発生回路14により発生される第1のペリファイ電位は、第2の動作で発生される第2のペリファイ電位より高い。それぞれのペリファイ電位に対して、次に説明するように、異なる高電圧をメモリセルに順次印加する。ペリファイコマンドが入力されると(ステップS10)、まず第1の動作として、従来と同様、または、従来よりも大きい変化分でしきい値が変動するような電圧および時間の設定をおこなう(ステップS12)。次に、その設定された電圧を印加し(ステップS14)、その高電圧を印加したセルに対してペリファイ電位を従来より高くした第1ペリファイ電位をワード線電位として設定し(ステップS16)、読み出しを行い、読み出されたデータが期待された値となっているかどうかを判定する(ステップS18)。このとき、期待値になっていないセルがある場合には(ステップS20でNO)、ステップS12に戻り、再度高電圧をメモリセルに印加し、第1のペリファイ電位によるペリファイ動作を繰り返す。この一連の動作を、高電圧を印加したメモリセルすべてについてペリファイ動作による判定が期待値になるまで行い、すべてのメモリセルのしきい値が期待値になれば(ステップS20でYES)、次の第2の動作に移る。第2の動作として、まず、第2の動作に対応する電圧および時間の設定をおこなう(ステップS22)。次に、その設定された電圧を印加し(ステップS24)、その高電圧を印加したセルに対してペリファイ電位を従来より高くした第2ペリファイ電位をワード線電位として設定し(ステップS26)、読み出しを行い、読み出されたデータが期待された値となっているかどうかを判定する(ステップS28)。第2のペリファイ電位は、第1のペリファイ電位より低い。また、第2の動作では、高電圧印加用の電位と時間を、第1の動作におけるよりもしきい値の変化分を小さくして設定する。このとき、期待値になっていないセルがある場合には(ステップS30でNO)、ステップS22に戻り、再度高電圧をメモリセルに印加

し、第2のペリファイ電位によるペリファイ動作を行なう。この一連の動作を、高電圧を印加したセルすべてがペリファイ動作による判定が期待値になる(ステップS30でYES)まで行う。

【0009】次に、高電圧印加における電圧と時間の設定(ステップS12、S22)についてさらに具体的に説明する。図5は、DINOR型フラッシュメモリにおける書き込み動作での高電圧印加方法を示す。ここで、1回の高電圧を印加する時間は500μsと一定に設定している。メモリセルのゲートは、たとえば-11Vの負電圧を印加し、ソースとウェルをフローティングとすると、ドレーンに印加する高電圧は、第1の動作では、たとえば5Vから0.4Vきざみに増加させていくようにすることで、しきい値の変化分を一定にする。こうして、第1の動作において、図6に示されるように、しきい値V_{th}は、第1のペリファイ電位を上限として分布する。また、第2の動作では、印加電圧を5Vから0.2Vきざみに増加させていくようにすることで、しきい値の変化分を一定にする。これにより、しきい値の変化分は一定で、その変化分は第1の動作より小さくできる。こうして、図6に示されるように、しきい値は、第2のペリファイ電位を上限として狭い範囲に分布する。このように、複数回の書き込みの動作がそれぞれ異なる電圧印加条件でおこなわれる。

【0010】図5と図6に示されるように、第1の動作では、高電圧の印加において、しきい値の変化分を大きくするような電圧と時間の設定をすることで、高速にしきい値を変化させる。次の第2の動作では、第1の動作よりもしきい値の変化分を小さくするような電圧と時間の設定をする。こうして、しきい値の分布を狭くすることができる。これにより、高速にしきい値を変化できるとともに、メモリのしきい値分布を狭帯域化できる。また、書き込みと消去を繰り返しているときに発生するしきい値が分布からはずれてしまうセルに対しても、第1の動作での高めのペリファイ電位を設定することで、分布から大きく外れることを防ぐこともできる。

【0011】実施の形態2

実施の形態2の半導体記憶装置は、実施の形態1と同様に、DINOR型フラッシュメモリであり、図7は、DINOR型フラッシュメモリにおける書き込み動作の際の高電圧印加方法を示す。実施の形態1では、メモリセルのドレーンに印加される電圧を変化させていたが、本実施形態では、メモリセルのドレーンに電圧が印加される時間を変化させる。メモリセルのゲートは、図5の例と同様に、たとえば-11Vの負電圧を、ソースとウェルをフローティングに印加し、ドレーンにはたとえば10Vの固定の電圧を印加する。そして、第1の動作では、印加時間をたとえば(200μs×1.5[^]回数)とべき乗で増加させ、第2の動作では、印加時間をたとえば(200μs×1.2[^]回数)とべき乗で増加させ

7

る。これにより、しきい値の変化分を一定にするとともに、しきい値の変化分は第2の動作のほうが第1の動作より小さくしている。このように、第1と第2の動作において、複数回の書き込みの動作がそれぞれ異なる電圧印加条件でおこなわれる。このような高電圧印加を用いることにより、実施の形態1と同様に、高速にしきい値を変化できるとともに、メモリのしきい値分布を狭帯域化できる。

【0012】実施の形態3

実施の形態3のフラッシュメモリは、NOR型フラッシュメモリである。図8と図9は、図1に示すメモリアレイ2を構成する1つのメモリセルの図式的な断面図であり、NOR型フラッシュメモリにおける書き込み/消去の動作での電子の動きを図式的に示す。メモリセルは、半導体基板60の上に形成されたソース拡散領域62とドレイン拡散領域64、フローティングゲート66、コントロールゲート68を備える。図8に示すように、書き込み時にはドレイン領域64からフローティングゲート66に電子(e⁻)が移動され、図9に示すように、消去時にはフローティングゲート66から基板60に電子が移動される。

【0013】図10は、NOR型フラッシュメモリにおける消去動作の際の高電圧印加方法を示す。メモリセルのゲート68は、たとえば0Vの電圧(または負電圧)を印加し、ドレイン64をフローティングとする。1回の高電圧を印加する時間は500μsと一定にしている。ソース62とウェル64にはたとえば第1の動作では、第1のペリファイ電位で印加電圧を5Vから0.4Vきざみに増加させていくようにすることで、しきい値の変化分を一定にする。さらに第2の動作では、第2のペリファイ電位で印加電圧を5Vから0.2Vきざみに増加させていくようにすることで、しきい値の変化分を一定にする。これにより、しきい値の変化分は一定で、その変化分は第1の動作より小さくできる。このように、複数回の消去の動作がそれぞれ異なる電圧印加条件でおこなわれる。なお、消去動作は、複数のメモリセルについて同時におこなわれる。このような高電圧印加を用いることにより、実施の形態1と同様に、高速にしきい値を変化できるとともに、メモリのしきい値分布を狭帯域化できる。

【0014】実施の形態4

実施の形態4の半導体記憶装置は、実施の形態3と同様に、NOR型フラッシュメモリであり、図11は、NOR型フラッシュメモリにおける消去動作の際の高電圧印加方法を示す。第1と第2の動作において、複数回の書き込みの動作がそれぞれ異なる電圧印加条件でおこなわれる。実施の形態3では、メモリセルのソースに印加される電圧を変化させていたが、本実施の形態では、メモリセルのソースに電圧が印加される時間を変化させる。メモリセルのゲートは、たとえば0Vの電圧を印加し、

(5)

特開平10-228784

8

ドレインの電位をフローティングにし、ソースとウェルにはたとえば10.0Vの固定の電圧を印加する。そして、第1の動作では、印加時間をたとえば(200μs×1.5[^]回数)とべき乗で増加させ、第2の動作では、印加時間をたとえば(200μs×1.2[^]回数)とべき乗で増加させる。これにより、しきい値の変化分を一定にするとともに、しきい値の変化分は第2の動作のほうが第1の動作より小さくしている。このような高電圧印加を用いることにより、実施の形態3と同様に、高速にしきい値を変化できるとともに、メモリのしきい値分布を狭帯域化できる。

【0015】実施の形態5

以上に説明した実施の形態では、高電圧発生回路で発生した複数の基準電圧(ペリファイ電位)を用いて検出レベルを変えているが、実施の形態5では、センスアンプの感度を変更することで疑似的に検出レベルを変える。図12は、メモリセル80に接続されたセンスアンプ10'を示す。メモリセル80のコントロールゲートは、ワードライン信号WLに接続され、ソースは、この図では接地されている。ドレインは、NMOSTランジスタ82を介して、センスアンプ10'に接続される。このランジスタ82は、カラム信号(Y選択信号)により選択される。また、NMOSTランジスタ84は、バイアス回路86によりビット線の電位を1V付近に抑えるようにしている。センスアンプ10'において、負荷回路は、2個のPMOSTランジスタ102、104から構成される。通常の動作、すなわち読み出し動作の場合、第1PMOSTランジスタ102のゲートを0Vとし、第2PMOSTランジスタ104のゲートを電源電圧とする。この第1PMOSTランジスタ102は、従来のセンスアンプと同じサイズである。ペリファイ動作時は、第1PMOSTランジスタ102よりも駆動能力の小さい、すなわち、サイズの小さい第2PMOSTランジスタ104をオンさせる。これにより、メモリセルのゲート電圧が一定でも、ゲート電圧を見掛け上高くみせることができる。図13は、メモリセルのゲート電位WLとメモリセルに流れる電流I_{cell}の関係を示す。負荷のPMOSTランジスタ104のサイズを小さくすることにより、感度が、実線で示すノーマルな感度(PMOSTランジスタ102の感度)から破線で示す感度に増加する。こうして、ゲート電圧を変化させているかのごとく見せることができる。ペリファイ動作においては、図4に示すフローが同様に用いられるが、ステップS16、S26におけるペリファイ電位設定の代わりにPMOSTランジスタが選択される。こうして、ペリファイ動作において、しきい値の分布を、高速に変化でき、かつ、メモリセルのしきい値を狭帯域化できる。また、分布から大きく離れるビットをなくすことができる。これにより、前記のペリファイ電位を発生させる回路を内部に複数備えることなく、センスアンプの感度を

10

20

30

40

50

変えることができ、同様の機能を果たすことができ、回路を少なくすることができる。なお、センスアンプにおいて、駆動能力の異なるPMOSトランジスタの数は3個以上であってもよい。

【0016】以上に複数の高電圧印加方法を説明した。しかし、その他の、より簡単な一定電圧、一定時間での高電圧印加方法およびこれらの複合方法も考えられる。また、上述の実施形態はメモリセルのしきい値を下げる動作について説明したが、当然のごとくメモリセルのしきい値を上げる動作についても適応できることは明白である。

【0017】

【発明の効果】この発明に係る不揮発性半導体記憶装置は、外部から入力されるアドレス信号をデコードして行の選択を行なう第1のデコーダと、外部から入力されるアドレス信号をデコードして列の選択を行なう第2のデコーダと、行及び列の方向に配列され上記の第1と第2のデコーダの出力に基づいて外部からの情報を電気的に書き込みまたは消去される複数のメモリセルからなるメモリアレイと、メモリセルに記憶した情報が所定の状態であるかを判定するセンスアンプと、電源電圧と異なる電圧を発生する高電圧発生回路と、第1と第2のデコーダと高電圧発生回路の動作を制御する制御回路とを備える。この制御回路は、ベリファイ動作において、高電圧発生回路に、複数の異なるベリファイ電位を発生させ、ベリファイ電位を越えるまでメモリセルの書き込みまたは消去の動作のためのパルス電圧を複数回発生させるので、しきい値の分布を高速に変化でき、かつ、メモリセルのしきい値を狭帯域化できる。また、分布から大きく離れるビットをなくすことができる。

【0018】また、この発明に係る不揮発性半導体記憶装置において、上記の制御回路は、上記の高電圧発生回路に、第1のベリファイ電位を、第2のベリファイ電位より高く発生させるので、書き込みと消去を繰り返しているときに発生するしきい値が分布からはずれてしまうセルに対しても、第1の動作での高めのベリファイ電位を用いることで、分布から大きく外れることを防ぐことができ、オーバープログラムが起こりにくくなる。第1の高いベリファイ電位を用いて、しきい値を高速に変化でき、第2の低いベリファイ電位を用いて、しきい値分布を狭くできる。また、この発明に係る不揮発性半導体記憶装置において、上記の制御回路は、上記の高電圧発生回路に、同じベリファイ電位でのメモリセルのしきい値の変動分を変える複数回のパルス電圧を発生させるので、分布の幅を狭めるとともに、プログラム時間を短縮できる。たとえば、上記の制御回路は、上記の高電圧発生回路に、ベリファイ動作においてメモリセルに印加するパルス電圧を、パルス幅を一定とし、電圧値を増加させて発生させ、第1のベリファイ電位での電圧値の増加分を、第2のベリファイ電位での増加分より大きくする

ので、分布の幅を狭めるとともに、プログラム時間を短縮できる。たとえば、上記の制御回路は、メモリセルに印加するパルス電圧を、電圧値を一定とし、パルス幅を増加させて発生させ、第1のベリファイ電位でのパルス幅の増加分を、第2のベリファイ電位での増加分より大きくするので、分布の幅を狭めるとともに、プログラム時間を短縮できる。

【0019】また、この発明に係る不揮発性半導体記憶装置は、外部から入力されるアドレス信号をデコードして行の選択を行なう第1のデコーダと、外部から入力されるアドレス信号をデコードして列の選択を行なう第2のデコーダと、行及び列の方向に配列され上記の第1と第2のデコーダの出力に基づいて外部からの情報を電気的に書き込みまたは消去される複数のメモリセルからなるメモリアレイと、これらのメモリセルに記憶した情報が所定の状態であるかを判定するセンスアンプと、電源電圧と異なる電圧を発生する高電圧発生回路と、第1と第2のデコーダと高電圧発生回路の動作を制御する制御回路とを備え、上記のセンスアンプは、センスアンプの感度を変更可能であるので、センスアンプの感度を変えることにより、しきい値分布が高速に変化でき、また、しきい値分布を狭くできる。センスアンプの感度を変更することにより、ベリファイ電位を内部で複数発生する回路を設けなくても、検出レベルを疑似的に変更できる。これにより、センスアンプの感度を変えることにより、しきい値の分布を、同様に高速に変化でき、かつ、メモリセルのしきい値を狭帯域化できる。また、分布から大きく離れるビットをなくすことができる。また、この発明に係る不揮発性半導体記憶装置において、上記のセンスアンプは、感度の異なるトランジスタが並列に接続されてなるので、いずれかのトランジスタを選択的に用いることによりセンスアンプの感度を変更可能である。

【図面の簡単な説明】

【図1】 本発明に係る半導体集積回路装置の1例であるフラッシュメモリの全体の構成を示すブロック図である。

【図2】 DINOR型フラッシュメモリの書き込みの動作における電子の動きを示す図である。

【図3】 DINOR型フラッシュメモリの消去の動作における電子の動きを示す図である。

【図4】 この発明の実施の形態1におけるフラッシュメモリにおける書き込み/消去動作の基本的なフローチャートである。

【図5】 DINOR型フラッシュメモリにおける書き込み動作での高電圧印加を示すタイムチャートである。

【図6】 この発明の実施の形態1におけるフラッシュメモリにおけるしきい値の分布の図式的なグラフである。

【図7】 この発明の実施の形態2のDINOR型フラッシュメモリにおける書き込みの際の高電圧印加を示す

(7)

特開平10-228784

11

タイムチャートである。

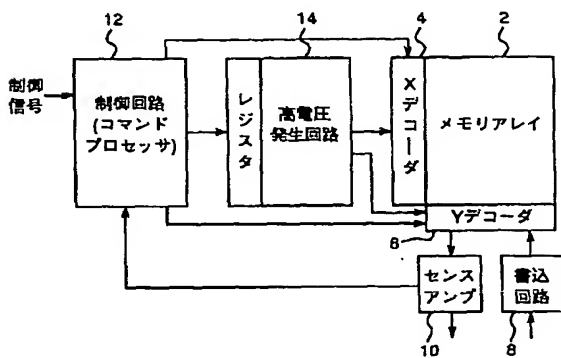
【図8】 DINOR型フラッシュメモリの書き込み動作における電子の動きを示す図である。

【図9】 DINOR型フラッシュメモリの消去動作における電子の動きを示す図である。

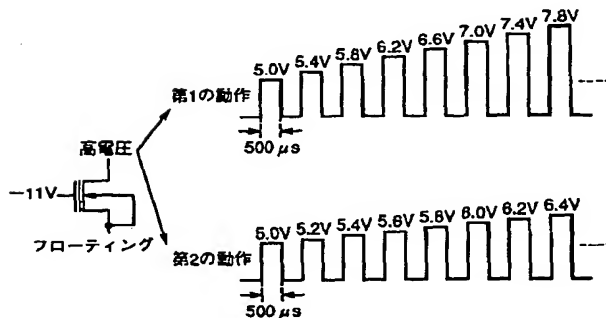
【図10】 この発明の実施の形態3のNOR型フラッシュメモリにおける消去動作の際の高電圧印加を示すタイムチャートである。

【図11】 この発明の実施の形態4のNOR型フラッシュメモリにおける消去動作の際の高電圧印加を示すタイムチャートである。

【図1】

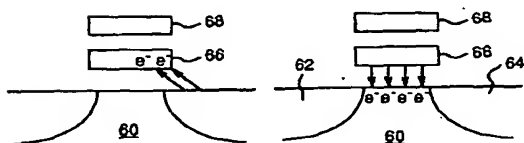


【図5】



【図8】

【図9】



12

【図12】 この発明の実施の形態5のフラッシュメモリにおけるメモリセルとセンスアンプを含む回路の図である。

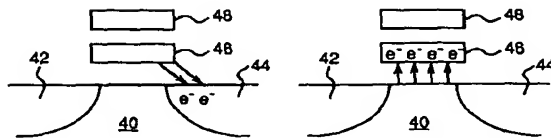
【図13】 この発明の実施の形態5のフラッシュメモリにおけるメモリセルのゲート電位 (WL) とメモリセルに流れる電流 (I_{cell}) の関係を示すグラフである。

【符号の説明】

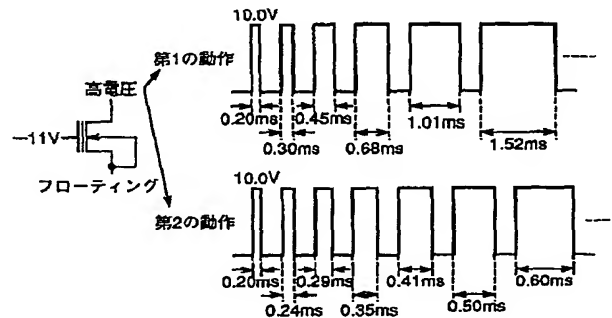
2 メモリアレイ、 4 Xデコーダ、 6 Yデコーダ、 10 センスアンプ、 12 制御回路、 14 高電圧発生回路。

【図2】

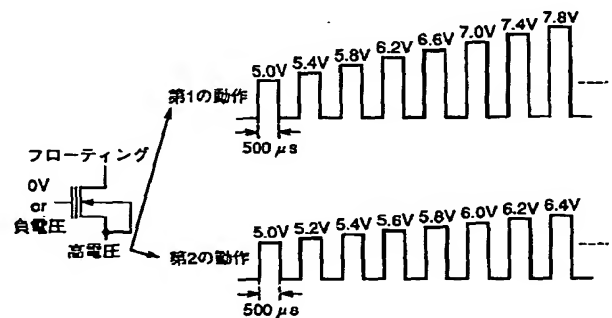
【図3】



【図7】



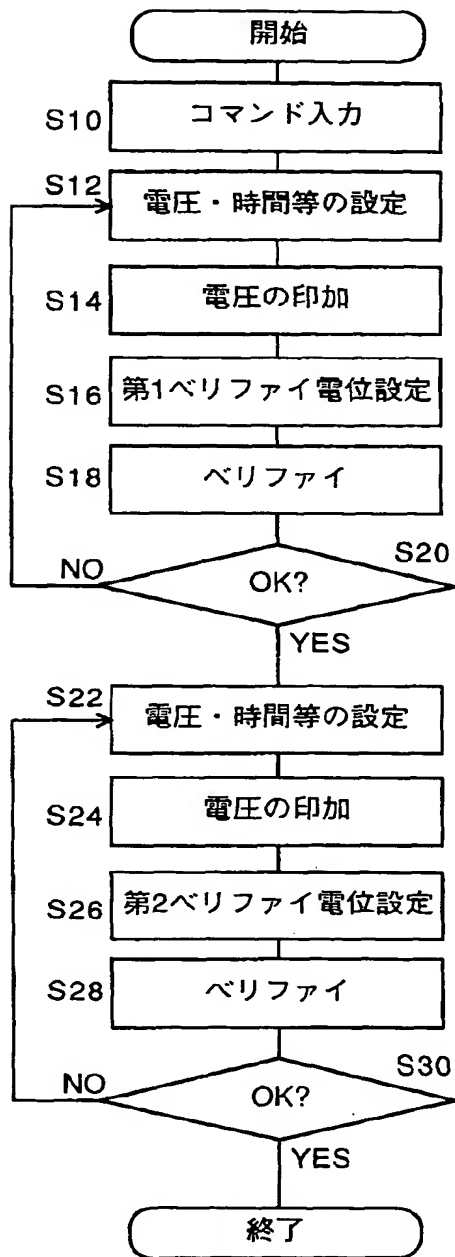
【図10】



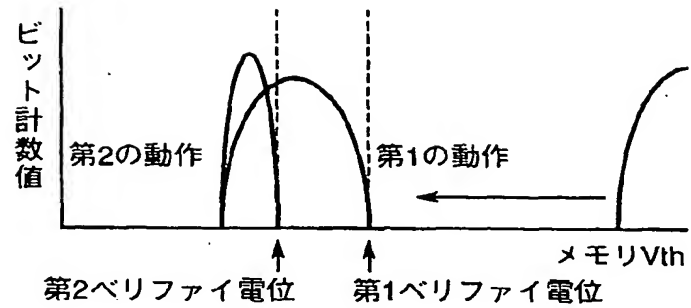
(8)

特開平10-228784

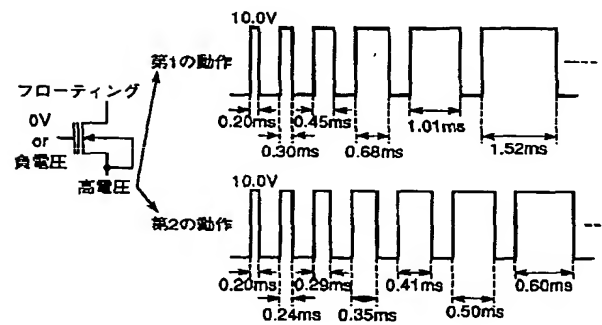
【図4】



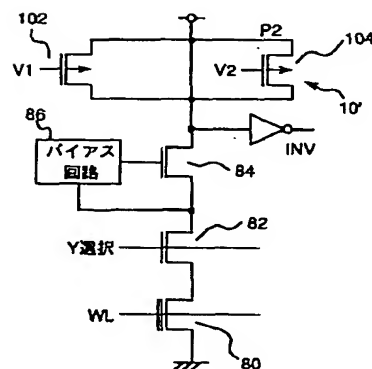
【図6】



【図11】



【図12】



(9)

特開平10-228784

【図13】

